

# 基于外壳架构与测试访问机制的数字芯核可测试性设计

陈圣俭, 李广进, 高 华

(装甲兵工程学院 控制工程系, 北京 100072)

**摘 要:** 深亚微米技术的应用以及芯核的嵌入性特点,使传统的测试方法不再能满足芯核测试的需要,IEEE Std1500 针对此问题提出了芯核的可测试性设计方案——外壳架构和测试访问机制. 基于 IEEE Std1500,以 74373 与 74138 软核为例,提出数字芯核可测试性设计的方法,并通过多种指令仿真验证了设计的合理性;设计的 TAM 控制器复用 JTAG 端口,节约了测试端口资源,提供了测试效率.

**关键词:** IEEE Std1500; 外壳; 可测试性; 测试访问机制; TAM 控制器

**中图分类号:** TP 391. 76

**文献标识码:** A

**文章编号:** 1000-7180(2012)06-0042-04

## Design for Testability of Digital Cores Based on Wrapper and TAM

CHEN Sheng-jian, LI Guang-jin, GAO Hua

(Department of Control Engineering, Academy of Armored Force Engineering, Beijing 100072, China)

**Abstract:** Because of the development of deep submicron manufacture technology and embeddability of cores, conventional methods cannot apply to cores. To solve this problem, a novel test method which consists of wrapper architecture and test access mechanism is presented by IEEE Std1500. Taking 74373 and 74138 for example, the design process which is based on IEEE Std1500 is described in detail. Through of multi-instruction simulation, the design's validity is proved.

**Key words:** IEEE Std 1500; wrapper; testability; test access mechanism; TAM controller

### 1 引言

随着电路设计技术和半导体制造工艺的发展,集成电路进入了片上系统(SoC)时代<sup>[1]</sup>. 片上系统以芯核的复用为基础,促使芯核的测试成为片上系统设计时必须考虑的问题. 由于深亚微米技术和芯核的嵌入性,传统的针床测试、飞针测试不再适用于芯核的测试,必须寻求其他的测试技术<sup>[2]</sup>.

IEEE Std1500<sup>[3]</sup>提出了针对嵌入式芯核的可测试性技术,这种技术基于外壳架构和测试访问机制(TAM). 外壳架构用于实现芯核的可控性与可观性,并为被测 IP 核提供一种隔离机制;TAM 用于实现从 SoC 顶层访问被测芯核,即实现测试激励源与外壳架构之间的数据传递. 本文在深入研究标准的基础上,从数字芯核的外壳设计、TAM 设计两方

面实现芯核的可测试性架构,利用 TAM 控制器复用 JTAG 端口实现测试性架构的配置,最后进行了仿真验证,设计合理正确.

### 2 外壳架构原理及设计

IEEE Std1500 针对芯核的测试与访问定义了一种独立的、标准化的、可升级的可测试性架构,如图 1 所示,此架构类似于 IEEE Std1149. 1 提出的边界扫描结构. 外壳架构主要是实现被测芯核的可控性与可观性,由外壳串行端口(WSP)、外壳并行端口(WPP)、外壳指令寄存器(WIR)、外壳旁路寄存器(WBY)、外壳边界寄存器(WBR)几个模块组成. WSP 由 WSI、WSO、WSC 组成,主要是串行实现测试指令/数据的加载、测试响应的读取;WPP 由 WPI、WPO、WPC 组成,主要是并行的实现测试数

收稿日期: 2011-10-28; 修回日期: 2011-12-10

基金项目: 国家自然科学基金资助项目(61179001)

据的加载、测试响应的读取;WIR 主要是在 WSC 控制下实现测试指令的移位与译码,产生配置 WBR 的信号;WBY 用于旁路掉不需要测试的芯核;WBR 加载在芯核的功能输入/输出引脚上,实现芯核管脚的可控性与可观性<sup>[4]</sup>。

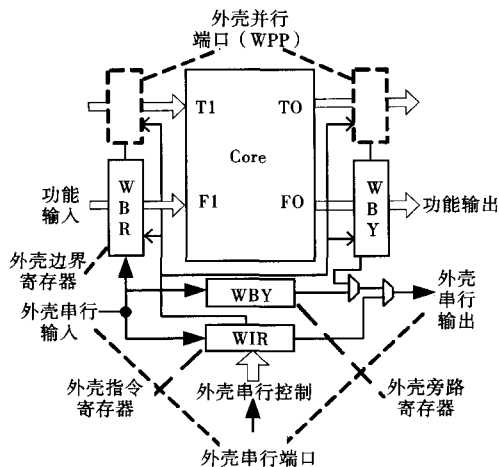


图1 外壳架构图

外壳架构设计主要包含外壳指令寄存器设计、外壳旁路寄存器设计、外壳边界寄存器设计几个模块。WIR 实现指令的移位加载与译码信号的产生,主要由指令寄存器与指令译码器组成,寄存器的长度由指令长度确定;WBY 实现测试数据的快速传送,旁路掉不需要测试的芯核,可以设计 WBY 为一位的寄存器,移位信号由 WRCK 提供,移位输出与 WBR 的输出经过数据选择器选择输出,以实现旁路;WBR 控制加载到芯核引脚和从芯核引脚输出的信号,主要由移位单元与更新单元构成,为实现并行数据传输,在 WBR 组成的扫描链上需要增加数据选择器以实现 WBR 的分段,使单链形成多链。

### 3 测试访问机制

由于芯核嵌入到 SoC 中,IP 核引脚的可及性大大降低,即每一芯核的输入/输出信号从 SOC 顶层是不可访问的,这样就需要一种高效的机制实现测试矢量的传递以及测试响应的读取,称之为测试访问机制。一种良好的 TAM 能够对总测试时间产生积极的影响,本设计中 TAM 的存在主要用于减少 WSC 信号复用的测试端口数、并行测试总线的配置,因此把 TAM 设计分为两个模块——串行 TAM 与并行 TAM。

#### 3.1 串行 TAM 设计

每一个加载了外壳架构的芯核都可以通过

WSC 实现测试数据与测试响应的移位,标准规定 WSC 包含外壳时钟 (WRCK)、外壳复位 (WRSTN)、SelectWIR、CaptureWR、ShiftWR、UpdateWR 等强制信号,还包括可选的信号 TransferDR、AUXCK。本设计中只考虑所需要的强制信号。

IEEE Std1149.1 定义了一种 16 位的状态机——TAP 控制器,其可以通过 TAP 实现被测电路捕获、移位、更新等信号的加载<sup>[5]</sup>。基于 WSP 信号与 TAP 控制器信号功能的相似性以及芯片 JTAG 端口的普遍存在性,本设计考虑复用 JTAG 端口以及 IEEE 1149.11TAP 控制器实现 WSC 信号的加载。结构如图 2 所示,WRCK 直接复用 TCK,WRSTN、SelectWIR 直接使用 Tap 控制器产生的 Reset、Select 信号,CaptureWR、ShiftWR、UpdateWR 则通过胶合逻辑由 TAP 控制器产生的其他信号实现。胶合逻辑由或门与触发器组成。

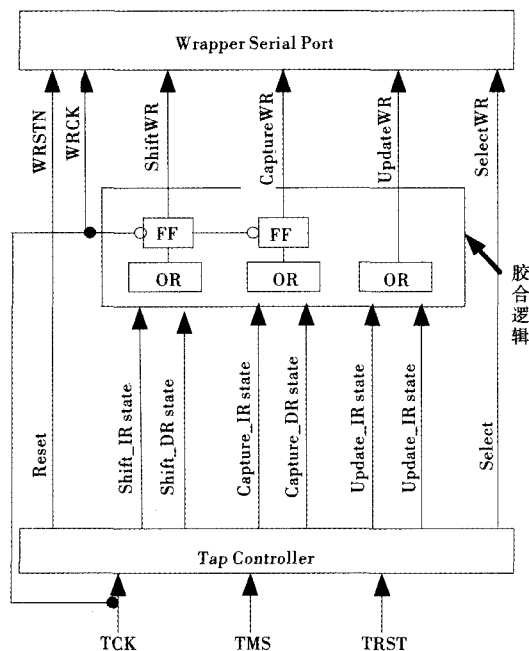


图2 串行 TAM 结构图

#### 3.2 并行 TAM 设计

并行 TAM 实现的是测试数据与响应的并行传输,一种基于总线的并行 TAM 设计的思想为并行 TAM 通过总线实现,被测芯核通过一定的结构连接到总线上,总线的宽度满足需要最大并行测试端口数的芯核。芯核连接到总线的结构由数据选择器实现,选择器的配置信号由配置寄存器实现。此并行 TAM 的一种结构如图 3 所示。

采用此结构的并行 TAM 可以把芯核与总线的连接配置成以下模式:

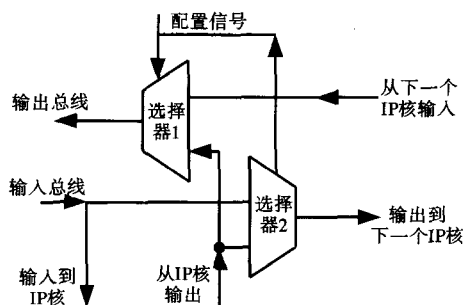


图3 并行 TAM 结构图

1 旁路模式,在这种模式下,选择器2选通来自输入总线的信号,选择器1选通来自上一个芯核输入的信号,从而使此处的芯核处于旁路的状态.这种模式适合于快速加载测试数据到被测芯核.

2 级联模式,在这种模式下,选择器2选通来自芯核输出的信号,选择器1选通来自上一个芯核输入的信号.这种模式下,被测芯核串联在总线上.这种模式适用于被测芯核具有同等宽度的 WPP.

3 本地模式,在这种模式下,选择器2不选通任何输入信号,选择器1选通从芯核输出的信号.在这种模式下,只有此处的芯核连接到总线上,也就是执行此处芯核的测试.

#### 4 TAM 控制器

测试访问机制实现测试数据的加载与测试响应

的读取,TAM 控制器的作用是实现测试访问机制的配置.由于 TAM 分为了串行与并行两种,结合两种配置的特点,提出 TAM 控制器设计来同时实现串行与并行的配置.

TAM 控制器需要满足串行 TAM 的配置,因此必须是类似 TAP 控制器的状态机类型,同时要满足并行 TAM 的配置,故设计 TAM 控制器为 23 位的有限状态机(FSM).基于 TAM 控制器与 TAP 控制器的类似性,设计时 TAM 控制器的控制信号仍使用 JTAG 信号——TCK、TMST、TDI、TDO、TRST;TAM 控制器在 TMS 和 TCK 信号的控制下进行状态转换,并提供时钟信号和各种控制信号,用以选择指令寄存器、数据寄存器、配置寄存器.如图4所示,左边分支为数据分支,中间分支为指令分支,右边分支为配置分支.配置分支用于产生并行配置的控制信号,实现并行 TAM;指令分支用于产生串行配置的信号,实现串行 TAM;数据分支实现串行或并行测试数据在外壳中的捕获、移位、更新等.状态机所有状态的转换都发生在时钟的上升沿,选择某一分支时相应的寄存器连接在 TDI 与 TDO 之间.

#### 5 仿真实验

通过 quartus II 软件对设计进行仿真实验,以上的各模块可以通过硬件描述语言加载在芯核的周

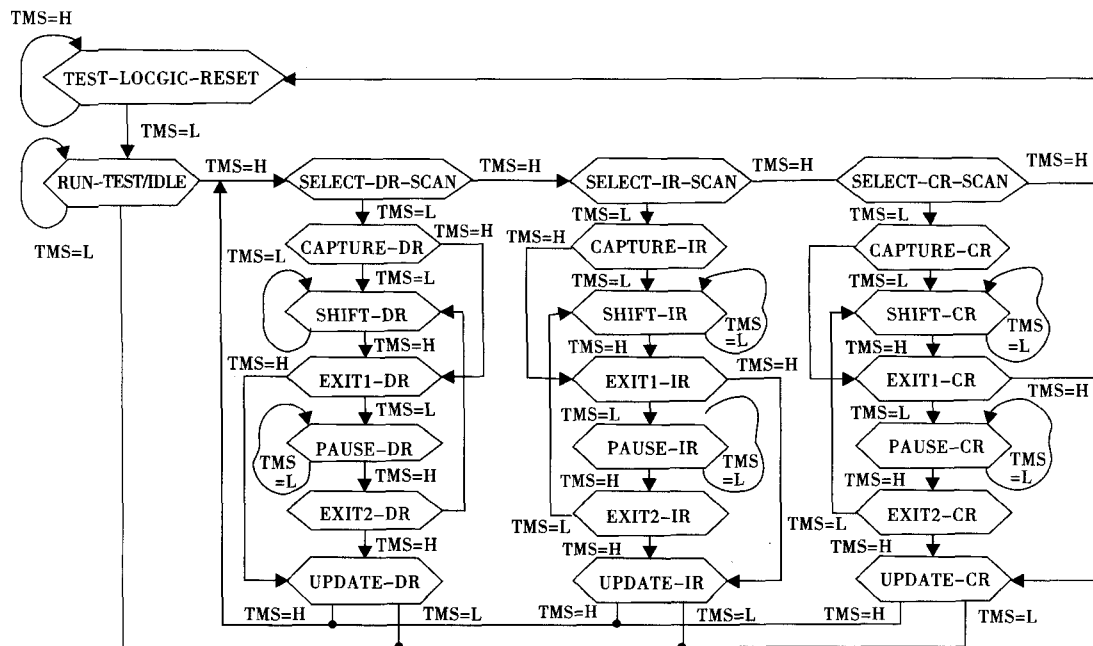


图4 TAM 控制器状态图

围,加载后的结构如图 5 所示. 本文主要使用了 WS\_BYPASS、WS\_INTEST、WP\_INTEST、WP\_EX-TEST 对被测芯核进行指令验证,仿真结果符合要求.

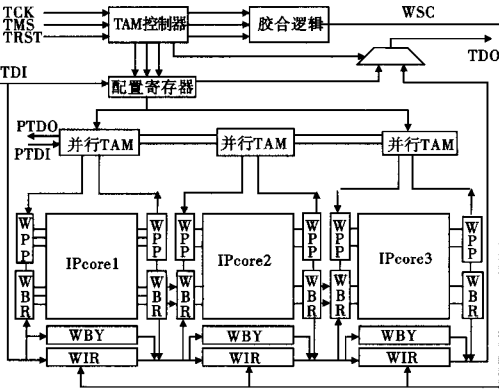


图 5 IP 核测试结构图

5.1 内测试

74138 的测试指令——WS\_INTEST 执行的是串行内测试. 从 TDI 串行移入指令以配置指令寄存器,然后测试数据经 TDI 串行移入 74138 软核的外

壳架构中,更新时钟到来后,软核执行正常功能,接着将测试响应经由 TDO 串行移出. 图 6 中区域 1 为选择进入指令移位状态;区域 2 为移测试指令,配置 74373 进入旁路状态——移入“1111”指令,配置 74138 进入串行内测试状态——移入“0010”指令;区域 3 为选择进入数据移位状态;区域 4 为移入测试数据“010100”;区域 5 仍选择数据移位状态;区域 6 为移出测试响应“1101111”,结果正确,完成了软核的串行内测试.

5.2 并行外测试

74138 与 74373 软核的互联测试——WP\_EX-TEST 属于并行外测试. 图 7 中区域 1 为选择进入配置寄存器状态;区域 2 移入配置指令,根据测试指令需要配置软核的并行 TAM;区域 3 为选择进入指令移位状态;区域 4 移测试指令配置软核进入相应的测试模式;区域 5 为选择进入数据移位状态;区域 6 为并行移测试数据状态,经 PTDI 并行移入测试数据;区域 7 仍为选择进入数据移位状态;区域 8 为并行移出测试响应. 从仿真时序图看,执行了外测试.

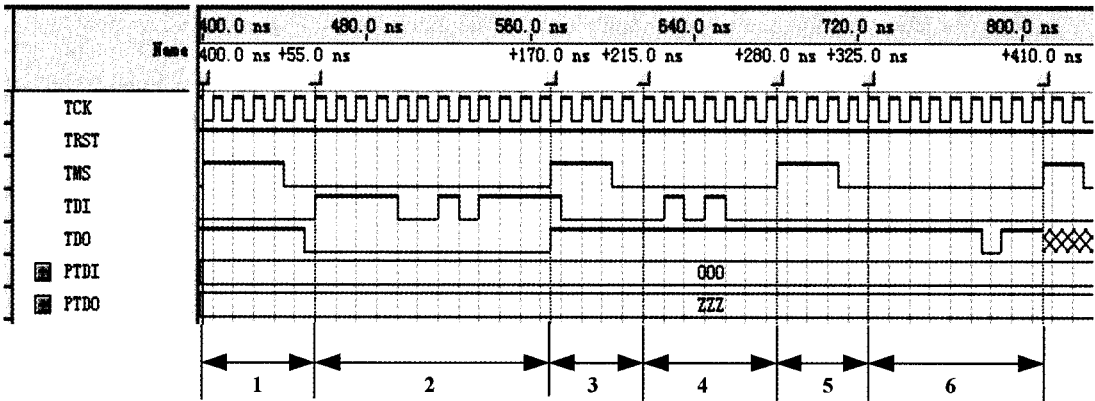


图 6 WS\_INTEST 仿真图

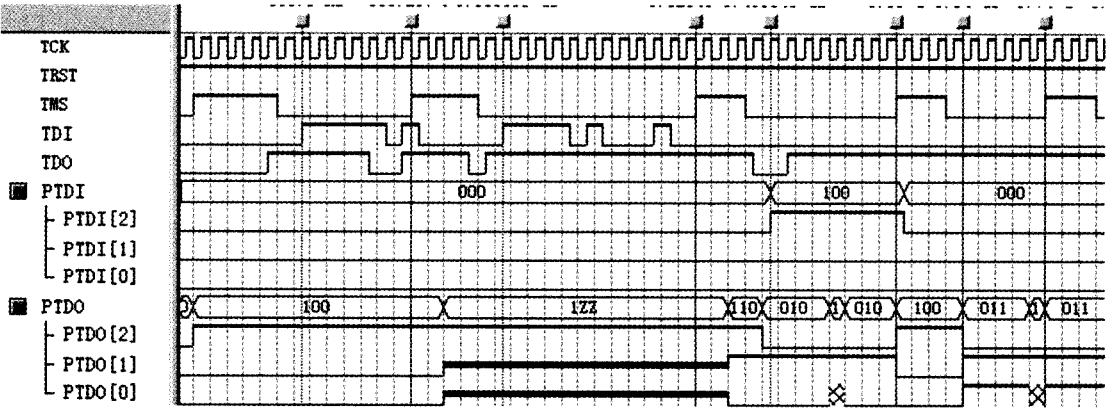
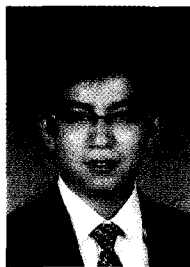


图 7 WP\_EXTEST 仿真图

- [2] Fatemeh Ataei, Mohammad Yavari. A wideband dual-mode VCO with analog and digital automatic amplitude control circuitry[C]// Electrical Engineering (ICEE), Ireland, 2011.
- [3] Lin He, Yong Ping Xu, Palaniapan M. A state-space phase-noise model for nonlinear MEMS oscillators employing automatic amplitude control[C]// Circuits and Systems I: Regular Papers. Kazan2010, IEEE Transactions on. 2010; 189-199.
- [4] ElKassir B, Wane S, Jarry B, et al. Comparative analysis of CML and MOS differential automatic amplitude Level control regulators for built-in-self-test applications[C]// Bipolar/BiCMOS Circuits and Technology Meeting (BCTM), 2010 IEEE. USA, Oregon, 2010: 228-231.
- [5] Zhuo Zhang, Jun Li, Yuanfeng Sun, et al. A digitally reconfigurable auto amplitude calibration method for wide tuning range VCO design[C]// Solid-State and Integrated Circuit Technology (ICSICT), 10th IEEE International Conference on. China; Shanghai, 2010: 542-544.
- [6] Yingying Song, Wen Sun, Jianhui Wu. A 80 ~ 900MHz CMOS VCO with tunable AAC circuit[J]. Solid-State and Integrated Circuit Technology, ICSICT '06. 8th International Conference on. China; Shanghai, 2006;1607-1609.
- [7] Owen Casha, Ivan Grech, Joseph Micallef, et al. Design of a 1.2 V low phase noise 1.6 GHz CMOS buffered quadrature output VCO with automatic amplitude control[C] // Electronics, Circuits and Systems, ICECS'06, 13th IEEE International Conference on. France; Uice, 2006;192-195.
- [8] 唐晓莉, 苏桦, 张怀武. 一种新型无芯 PCB 平面电感器研究[J]. 电子器件, 2002, 25(4): 319-323.

#### 作者简介:



高兴波 男, 硕士. 研究方向为专用集成电路设计.

(上接第 45 页)

## 6 结束语

本文基于 IEEE Std1500, 从外壳架构、TAM 设计、TAM 控制器设计等几个模块展开芯核的测试性设计, 通过 quartus II 平台仿真验证了设计的合理性. 该方法为芯核的可测试性设计提供了一种参考, 并且基于 JTAG 端口的 TAM 控制器设计, 为兼容 IEEE Std1149.1 结构的电路板测试和兼容 IEEE Std1500 结构的芯核测试提供了结合点, 具有实用意义.

#### 参考文献:

- [1] 王永生. 系统级芯片可测试性结构及其优化研究[D]. 哈尔滨: 哈尔滨工业大学, 2006.
- [2] 胡瑜, 韩银和. SOC 可测试性设计与测试技术[J]. 计算机研究与发展, 2005, 42(1): 153-162.
- [3] IEEE Std1500, IEEE Standard Testability Method for Embedded Core-Based Integrated Circuits[S]. 2005.
- [4] 杨鹏等. 嵌入式芯核测试标准 IEEE Std 1500 综述[J]. 测控技术, 2006, 25(8): 40-43.
- [5] 郑伟东. 基于 SOPC 的数字电路边界扫描测试研究[D]. 北京: 装甲兵工程学院, 2009.

#### 作者简介:

李广进 男, (1988-), 硕士研究生. 研究方向为数字芯核可测试性设计.